

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2003年 1月29日

出 願 番 号
Application Number:

特願2003-020663

[ST.10/C]:

[JP2003-020663]

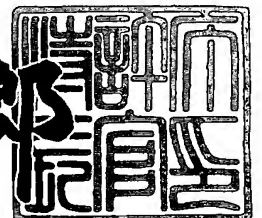
出 願 人
Applicant(s):

富士通株式会社

2003年 3月28日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3021448

【書類名】 特許願

【整理番号】 0241369

【提出日】 平成15年 1月29日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 G01R 31/00

【発明の名称】 プローブカードおよび半導体チップの検査方法

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 山岸 康男

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100077517

【弁理士】

【氏名又は名称】 石田 敬

【電話番号】 03-5470-1900

【選任した代理人】

【識別番号】 100086276

【弁理士】

【氏名又は名称】 吉田 維夫

【選任した代理人】

【識別番号】 100092624

【弁理士】

【氏名又は名称】 鶴田 準一

【選任した代理人】

【識別番号】 100082898

【弁理士】

【氏名又は名称】 西山 雅也

【選任した代理人】

【識別番号】 100081330

【弁理士】

【氏名又は名称】 樋口 外治

【手数料の表示】

【予納台帳番号】 036135

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9905449

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 プローブカードおよび半導体チップの検査方法

【特許請求の範囲】

【請求項 1】 検査対象の半導体ウエハまたはチップの電極にプローブ針を接触させて電子回路の電気的特性をテストするプローブカードにおいて、第一の配線板と、前記第一の配線板との間に間隙部を形成するように前記第一の配線板上に搭載された第二の配線板とを含み、前記第二の配線板上にプローブ針が取り付けられており、前記第二の配線板のプローブ針取り付け面とは反対側の前記間隙部において、前記第二の配線板に少なくともデカップリングキャパシタが搭載されていることを特徴とするプローブカード。

【請求項 2】 前記第二の配線板はインナービアホールを有する配線層が形成され、全体の厚さが 1 mm 以下であることを特徴とする、請求項 1 記載のプローブカード。

【請求項 3】 検査対象の半導体ウエハまたはチップの電極にプローブ針を接触させて電子回路の電気的特性をテストするプローブカードにおいて、第一の配線板と、前記第一の配線板との間に間隙部を形成するように前記第一の配線板上に搭載された第二の配線板とを含み、前記第二の配線板上にプローブ針が取り付けられており、前記第二の配線板の熱膨張率と、検査対象の半導体ウエハまたはチップの熱膨張率との差が $2 \text{ ppm}/^{\circ}\text{C}$ 以下であることを特徴とするプローブカード。

【請求項 4】 前記第二の配線板は貫通配線を形成したカーボンファイバ含浸樹脂板またはインバー材の表面に配線層を形成したものであることを特徴とする、請求項 1～3 のいずれか 1 項記載のプローブカード。

【請求項 5】 前記第二の配線板のプローブ針取り付け面とは反対側の間隙部において、前記第二の配線板に少なくともデカップリングキャパシタが搭載されていることを特徴とする、請求項 3 または 4 記載のプローブカード。

【請求項 6】 前記第一の配線板と前記第二の配線板とがピン・グリッド・アレイによって接続されていることを特徴とする、請求項 1～5 のいずれか 1 項記載のプローブカード。

【請求項 7】 前記第一の配線板と前記第二の配線板とが着脱可能な接続手段によって接続されていることを特徴とする、請求項 1～6 のいずれか 1 項記載のプローブカード。

【請求項 8】 前記第一の配線板を挟んで前記第二の配線板の反対側に、着脱可能な接続手段によってピンエレクトロニクスが接続されていることを特徴とする、請求項 1～7 のいずれか 1 記載のプローブカード。

【請求項 9】 キャパシタ部品を内蔵し、半導体チップとキャパシタのインピーダンスが Z_p である半導体パッケージに用いる半導体チップの電気的特性をパッケージング前にプローブカードを用いてテストする半導体チップの検査方法において、前記プローブカードは請求項 1 記載のプローブカードであり、かつ、プローブ針と搭載されたデカップリングキャパシタとの間のインピーダンスが概略 Z_p であることを特徴とする半導体チップの検査方法。

【請求項 10】 ダイシング前のウエハ状態で検査を行うことを特徴とする、請求項 9 記載の半導体チップの検査方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体チップの電気的特性を試験するプローブカードに関し、特に高速チップの試験に有効で低コストなプローブカードに関する。また、半導体チップがパッケージに実装された状態と近い状態で、ウエハ上の半導体素子の試験を可能とする半導体チップの検査方法に関する。

【0002】

【従来の技術】

従来から、ウエハ上に多数形成された半導体装置のチップに対して、回路機能の電気的特性試験を行う場合には、かかる試験は、各チップに形成されている電極パッドにプローブ針を接触させ、そのプローブが配線引回しのためのプローブボードを介して試験装置に接続されて行われている。半導体チップ表面の電極にプローブ針を接触させ、この針を通して試験装置から信号の入出力を行うとともに、電源の供給を行い、針を順次移動させて電子回路の電気的特性をテストする

【 0 0 0 3 】

特許文献 1 には、セラミック基板と、この基板上に形成された配線層とを備えた IC 検査用プローブカードが開示されており、この配線層の表面にある被検査 IC の入出力端子と接続する接続用パッドと、配線層またはセラミック基板の表面にある検査信号の入出力端子となるプローブパッドとが引き出し信号線により電氣的に接続されている。このプローブカードでは、配線層またはセラミック基板上に終端用の薄膜抵抗または薄膜バイパスコンデンサを形成して、インピーダンス制御を行うとともに、電源ノイズを低減している。

【 0 0 0 4 】

特許文献 2 には、複数のプローブ針が裏面に取り付けられたプローブカードが開示されている。配線はプローブボードの表面に形成され、この配線にバイパスコンデンサや応答波形補正回路などの外付け回路を接続することで、外付け回路を半導体チップの直近に設置することを可能とし、測定精度を向上させている。

【 0 0 0 5 】

また、特許文献 3 には、プリント板上の一部にビルトアップ配線層を形成し、配線層の最表面にプローブ針を形成したプローブカードが開示されている。ビルトアップ工法によって微細な配線引回しが可能となり、プローブ針を高密度に形成することが可能となる。

【 0 0 0 6 】

特許文献 4 には、セラミックス基板上にプローブ針を形成した着脱可能なコンタクタをインターポーザを介してピンエレクトロニクスパッケージと接続し、これを配線基板上に搭載したプローブ装置が開示されている。ここで、ピンエレクトロニクス部分はドライバ、コンパレータ、ダイナミックロードなどを含み、消費電力が大きいいため冷却手段が取り付けられている。

【 0 0 0 7 】

【特許文献 1】

特開平 6 - 1 4 0 0 4 8 号公報（特許請求の範囲）

【特許文献 2】

特開平 7 - 1 1 1 2 8 0 号公報 (特許請求の範囲)

【特許文献 3】

特開 2 0 0 0 - 3 0 4 7 7 0 公報 (特許請求の範囲)

【特許文献 4】

特開 2 0 0 1 - 1 0 2 4 1 8 公報 (特許請求の範囲)

【0 0 0 8】

【発明が解決しようとする課題】

本発明の第一の課題は、近年の多端子で高速な半導体チップの検査に要求される要件を満たすプローブカードを提供することである。具体的には、プローブ針を高密度に形成でき、しかも、プローブ針の直近に高周波ノイズをカットするためのデカップリングキャパシタを配置したプローブカードを実現することである。

周波数1GHzを超えるような高速の半導体のパッケージでは、半導体チップとキャパシタをビルトアップ基板の両側に実装する構造が実用化されており、この際、チップとキャパシタの間のインダクタンスを低減する目的で極力薄い、例えば1mm以下の、ビルトアップ基板が用いられる。さらには、究極の薄型ビルトアップ配線として、固定したLSIチップ上にビルトアップ配線を形成する方式が提案され、ビルトアップ層を介してチップの対向面にデカップリングキャパシタが実装された構造が、日経マイクロデバイス 2001年12月号 pp.178に開示されている。上記のような高速半導体チップは直近にデカップリングキャパシタが実装されて初めて正常な高速動作が可能となるものである。従って、高速動作性能を検査するためには、実装後と同様の状態、すなわちチップ直近にデカップリングキャパシタが配置された状態で試験を行う必要がある。しかし、従来のプローブカードではこのような要求を満足できるものはなかった。例えば、ビルトアップ配線層の最表面にプローブ針を形成したプローブカードの場合、プローブ針を高密度に配置できるのでチップの多端子化に対応できる。ところが、ビルトアップ配線層の表面と、プローブ針を介した半導体ウエハとの隙間は僅か数ミリと狭いことから、デカップリングキャパシタを半導体チップの直近に配置しようとする、特開平 7 - 1 1 1 2 8 0 号公報にもあるようにプローブカードの裏面になってし

まう。高速で端子数の多いチップを試験するためのプローブカードは、配線が複雑になることや、複数のプローブ針の先端位置を揃えるために剛性が必要なことから、3～5mm程度の厚さのものが用いられる。したがって、デカップリングコンデンサをプローブカードの裏面に配置した場合、半導体チップとデカップリングキャパシタとは3～5mm程度の厚さの配線基板を隔てた場所に配置されることになる。

【 0 0 0 9 】

本発明のもう一つの課題は、試験費用の低コスト化である。試験費用の低コスト化には、イニシャルコストとランニングコストの低減が挙げられる。イニシャルコストの低減は、プローブカード用配線基板の汎用化により実現されうる。従来のプローブカードの配線基板では、前述のように厚さ3～5mmの高剛性な高多層の配線基板が使用されているが、一般に非常に高価である。この高価な基板を半導体の一品種毎に作製する必要がある。例えば、ほとんど同じ機能のLSIであっても電極位置が少し異なるだけで、別の配線基板が必要になる。ランニングコストの低減は、半導体チップの多数個同時測定による検査スループットの向上により実現されうる。

しかし、多数個同時測定を行う場合の問題点の一つは、広い面積に一括してプローブ針を接触させる必要があるため、配線基板とSiウエハとの熱膨張率差による針の接触位置がずれることである。プローブカードに用いられるガラスエポキシ配線基板の熱膨張率は大凡18ppm/℃であり、Siウエハの4ppm/℃に比べ著しく大きい。そのため、LSIの発熱等により針の接触位置がずれてしまう。例えばウエハ上の100mm角の領域内の複数のチップを同時に測定し、温度変化が50℃見込まれる場合、熱膨張差による位置ずれは最大で約100μmになる。これはLSI上の電極パッドサイズよりも大きな値であり、温度変化によってプローブ針がLSIのパッドからはずれてしまうことを意味する。低熱膨張率な窒化アルミニウム製の多層配線基板を用いればこうした問題は回避できるが、基板自体が極めて高価である。

【 0 0 1 0 】

以上のとおり、本発明の第一の目的は、プローブ針を高密度に形成することができるとともに、プローブ針の直近に高周波ノイズをカットするためのデカップ

リングキャパシタを配置したプローブカードを提供することである。

【 0 0 1 1 】

また、本発明の第二の目的は、検査費用の低コスト化が可能な汎用性のあるプローブカードを提供することである。

【 0 0 1 2 】

さらに、本発明の第三の目的は、半導体チップがキャパシタとともに同一のパッケージに実装される場合の実装後に近い状態で、ウエハ上の半導体チップの試験を可能にする方法を提供することである。

【 0 0 1 3 】

【課題を解決するための手段】

上記の課題は、以下に記載される本発明による手段によって解決することができる。

すなわち、本発明の第一の態様によると、検査対象の半導体ウエハまたはチップの電極にプローブ針を接触させて電子回路の電気的特性をテストするプローブカードにおいて、第一の配線板と、前記第一の配線板との間に間隙部を形成するように前記第一の配線板上に搭載された第二の配線板とを含み、前記第二の配線板上にプローブ針が取り付けられており、前記第二の配線板のプローブ針取り付け面とは反対側の前記間隙部において、前記第二の配線板に少なくともデカップリングキャパシタが搭載されていることを特徴とするプローブカードが提供される。

このようなプローブカードでは、第一の配線板とは別個に第二の配線板を用いるので、第二の配線板を非常に薄くすることができ、したがって、第二の配線板を介してプローブ針の直近にデカップリングキャパシタを配置することができる。

【 0 0 1 4 】

本発明の第二の態様によると、検査対象の半導体ウエハまたはチップの電極にプローブ針を接触させて電子回路の電気的特性をテストするプローブカードにおいて、第一の配線板と、前記第一の配線板との間に間隙部を形成するように前記第一の配線板上に搭載された第二の配線板とを含み、前記第二の配線板上にプロ

ープ針が取り付けられており、前記第二の配線板の熱膨張率と、検査対象の半導体ウエハまたはチップの熱膨張率との差が $2 \text{ ppm}/^{\circ}\text{C}$ 以下であることを特徴とするプローブカードが提供される。

このような構成であると、多数個の半導体チップをウエハ上で検査する場合に、第二の配線板の熱膨張率をウエハの熱膨張率と整合させることで、半導体チップの表面の電極とプローブ針の接触位置のずれを容易かつ低コストで防止することができる。

【0015】

さらに、上記第一及び第二の態様において、第二の配線板のみの取り替えを可能にすれば、多品種の半導体ウエハまたはチップを検査することができ、プローブカードの汎用化が行え、コストの低減を図ることができる。また、配線板の破損時にも、破損した配線板のみを交換することで対応でき、コスト削減が行える。

【0016】

本発明の第三の態様によると、キャパシタ部品を内蔵し、半導体チップとキャパシタのインピーダンスが Z_p である半導体パッケージに用いる半導体チップの電気的特性をパッケージング前にプローブカードを用いてテストする方法において、前記プローブカードは上記第一の態様のプローブカードであり、かつ、プローブ針と搭載されたデカップリングキャパシタとの間のインピーダンスが概略 Z_p であることを特徴とする半導体チップの検査方法が提供される。

【0017】

このような検査方法では、半導体チップとキャパシタを実装した構造に対応した、実装後の状態と近い状態で半導体チップの検査を行うことができる。

【0018】

【発明の実施の形態】

上述のとおり、本発明のプローブカードは、第一の配線板上に第二の配線板を搭載して、第二の配線板上にプローブ針を有する構成である。このように、検査対象の半導体チップまたはウエハの電極と接するプローブ針を有する第二の配線板とは別個の第一の配線板が存在するので、第一の配線板は材質およびサイズ上

の制約が実質的に低減されまたはなくなる。したがって、本発明に使用される第一の配線板は、特に限定されず、ガラスエポキシ多層配線板などの位置精度の比較的低い基板であってよく、また、数mm程度の厚さを有してよい。但し、第一の配線板は第二の配線板と同様の材質から形成されてもよく、このような場合には、第一の配線板の熱膨張率と第二の配線板の熱膨張率との差により生じうる第二の配線板の反りを確実に防止することができる。

【 0 0 1 9 】

一方、第二の配線板としては、インナービアホールを有する配線層が形成された基板を用いることが望ましい。インナービア構造を採用することで、第一の配線の電極とプローブ針との間の複雑な配線引き回しを低コストで実現することができる。また、第二の配線板としては全体の厚さが1mm以下の基板を用いることが望ましい。このような厚さの第二の配線板の裏面（プローブ針取り付け面と反対側の面）にデカップンリングキャパシタを配置したプローブカードを用いることで、1GHzを超えるような高速半導体チップの検査時において発生する電源ノイズを低減することが可能となる。

なお、厚さ1mm以下のインナービアホールを有する第二の配線板としては、所謂ビルトアップ工法や、別々に形成した配線層を導電性接着剤などで一括積層するなどして製造した樹脂基板が利用できる。

【 0 0 2 0 】

ウエハ上で複数の高速半導体チップを同時測定する場合には、50～100mm角程度の面積で厚さが1mm以下の第二の配線板を用いる必要がある。この場合、上述のとおり、半導体チップの電極とプローブ針の接触位置ずれを防止するためにウエハと第二の配線板との熱膨張率を近づける必要があり、好ましくは第二の配線板の熱膨張率はウエハの熱膨張率にほぼ等しい。具体的には、第二の配線板の熱膨張率と検査対象のウエハの熱膨張率との差は約2ppm/℃以下であるのがよい。特定のウエハ上の半導体チップに対して、特定のプローブカードが用いられるが、Siウエハの場合には、その熱膨張率が約4ppm/℃であるから、第二の配線板の熱膨張率は約4ppm±2ppm/℃であることが望まれる。このような低い熱膨張率の第二の配線板は、貫通配線を形成したカーボンファイバ含浸

樹脂板またはインバー材からなるコア材の表面に配線層を形成することにより得られる。カーボンファイバ含浸樹脂板としては、カーボンファイバからなる織物の複数の層にエポキシ樹脂などの樹脂を含浸し、硬化することにより得られたものを用いることができる。一方、インバー材は、64%Fe-36%Ni合金であり、かかる合金の金属板がコア材として用いられる。

【0021】

第一の配線板と第二の配線板との間には間隙部が存在し、第二の配線板の裏面にデカップリングキャパシタが搭載できるようになっている。第二の配線板の裏面に搭載されるデカップリングキャパシタとしては、シリコン基板上に、上部電極層と下部電極層との間に挟まれた誘電体層を有するキャパシタが使用できる。デカップリングキャパシタの誘電体層を構成する誘導体は、Sr、Ba、Pb、Zr、Bi、Ta、Ti、MgおよびNbからなる群より選ばれる少なくとも1種の元素を含む複合酸化物であることができる。また、上部電極および下部電極は、Pt、Au、Cu、Pb、Ru、Ru酸化物、Ir、Ir酸化物およびCrからなる群より選ばれる少なくとも1種の金属もしくは金属酸化物を含むことができる。

【0022】

なお、第二の配線板の裏面には、デカップリングキャパシタだけでなくインダクタや抵抗などの受動部品を搭載できる。さらに、通常はBIST(Built In Self Test)としてLSIに組み込まれている試験回路の一部を取り出したBOST(Built Out Self Test)チップを搭載することもできる。

【0023】

また、ウエハ上で複数の半導体チップを同時測定する場合に、複数のプローブ針が同時に複数のチップ上の電極に接する必要があるので、プローブ針の先端高さは一定になるようにすべきである。第一の配線板と第二の配線板の熱膨張率に差があると、第二の配線板に反りが生じ、プローブ針の先端高さが一定にならなくなることがある。このため、第二の配線板と第一の配線板との熱膨張率差に起因する第二の配線板の反りを抑える必要がある。このような観点から、上述のような貫通配線を形成したカーボンファイバ含浸樹脂板またはインバー材からなる

コア材の表面に配線層を形成した第二の配線板では、コア材の曲げ弾性率が高いので、かかる第二の配線板は反りに対して耐性があり、有利である。また、第一の配線板と第二の配線板とをピン・グリッド・アレイによって接続することで反りを抑制することができる。ピンの部分で第一の配線基板と第二の配線板との熱膨張ひずみを吸収できるからである。ピンと対向側の電極とははんだ付けされていて良いが、若干の遊びを有するコネクタなどの着脱可能な接続手段によって接続されていると第一の配線板と第二の配線板との熱膨張差に起因する第二の配線板のひずみを低減できるのでさらに良い。

【 0 0 2 4 】

ここで、第二の配線板が着脱可能なコネクタによって接続されていることは、副次的に別の有用な効果をもたらす。すなわち、電極位置が少し異なるだけの別のLSIをテストする場合、引き回しが若干異なる別の第二の配線板を作製し、第二の配線板だけを取り替えれば対応できるからである。このように、第二の配線板を用いることにより、検査対象の汎用化を図ることができる。

【 0 0 2 5 】

しかし、第二の配線板の交換だけでは対応できる範囲が十分でないことがある。このため、より広範囲なLSIに対応するためには、ドライバやコンパレータなどのピンエレクトロニクスを交換可能に設置できるようにしておくことがさらに有用である。このことは、第一の配線板を挟んで第二の配線板の反対側に、着脱可能な接続手段によってピンエレクトロニクスを接続することで実現できる。特開 2 0 0 1 - 1 0 2 4 1 8 公報にも、ピンエレクトロニクスを交換可能とする構造が開示されているが、この公報に開示されているピンエレクトロニクスモジュールはベアチップを収納したモジュールの両側に接続端子が形成され、さらにサイド部分に冷却ジャケットが取り付けられた、極めて特殊で高度な実装技術が要求される構造である。また、ベアチップは通常市販されていないため実施しにくいという問題がある。これに対し、本発明の構成では、市販されているパッケージングされた部品を回路基板上に実装した通常の構造のモジュールを採用することができる。ここで、コンパレータなどのLSI品種毎に異なる論理演算部にはFPGA(Field Programable Gate Array)を用いれば専用チップを製造する必要がなく

、また、論理構成を変更すれば別の品種にも対応できる。

【 0 0 2 6 】

本発明の検査方法では、上述のとおり、第二の配線板の裏面（プローブ針取り付け面と反対側の面）にデカップリングキャパシタを配置したプローブカードを用いることで、1GHzを超えるような高速半導体の検査時において発生する電源ノイズを低減することが可能となる。ただし、検査対象となるLSIとプローブカード側のデカップリングキャパシタとの間のインダクタンスは、低ければ低いほど良いというわけではない。電源ノイズはLSIがパッケージングされて実際に使用される際にも発生するものであり、実使用状態で生じる程度のノイズに対してLSIが安定に動作することを保証できることが望ましいからである。キャパシタ部品を内蔵し半導体チップとキャパシタ間のインピーダンスが Z_p である半導体パッケージに用いる半導体チップの検査をパッケージング前にプローブカードを用いてテストする場合、プローブ針と第二の配線板の裏面（プローブ針を搭載していない側の面）に搭載されたデカップリングキャパシタとの間のインピーダンス（キャパシタ自身の内部インピーダンスを含む）を概略 Z_p とすることで、実装状態に近い状態での検査が可能になる。実用上、プローブ針と第二の配線板の裏面に搭載されたデカップリングキャパシタとの間のインピーダンスは、検査対象となる半導体チップとキャパシタとの間のインピーダンス Z_p に対して -50% 、 $+100\%$ 以内であることが好ましい。なお、半導体チップの検査はチップのダイシングの後であっても、または、ダイシング前のウエハの状態であっても実施可能である。

【 0 0 2 7 】

【実施例】

以下、本発明の実施例を、図面に基づいてさらに詳細に説明する。

図1は本発明の一実施例であるプローブカードを示す図である。図2は第二の配線板の構造を示す図であり、図3は本実施例で使用したデカップリングキャパシタの構造を示す図である。まず、本実施例のプローブカードの構成について説明する。

図1において、プローブカード10は、ウエハチャック11に載置された半導

体チップまたはウエハ12の電気的特性の試験を行うウエハプローバとして用いられる。プローブカード10は、厚さ7mmのガラスエポキシの多層配線基板(第一の配線板)13上に、ピン・グリッド・アレイ端子17を有する第二の配線板14がはんだ付けされ、第二の配線板14の上面にはプローブ針15が植えられている。第二の配線板14の裏側にはデカップリングキャパシタ16が実装されている。

【0028】

図2は第二の配線板14の一実施例であるが、厚さ0.6mmのコア層18の両側に各4層のビルドアップ配線層20が形成され、第二の配線板14全体で厚さ1mmとなっている。面積は40mm角である。コア層18は、カーボンファイバクロスにエポキシ樹脂を含浸させた厚さ0.5mmの樹脂板19の両側を0.05mmのエポキシ樹脂フィルムでラミネートした構造となっている。カーボンファイバは導電性であるため、ファイバ含浸樹脂板をドリル加工した後、ファイバ含浸樹脂板の両側に樹脂フィルムをラミネートし、樹脂フィルムの樹脂を加熱溶融してドリル孔を樹脂で充填・被覆しそして熱硬化した後に、一回り径の小さいドリルでラミネート樹脂に穴あけを行う。その後は通常ガラスエポキシコア材の場合と同様、スルーホールメッキ、穴埋めを行いコア層18とする。ビルドアップ配線のサイズは25 μ mライン・アンド・スペースで、層間はインナービアで接続される。コア層18の熱膨張率は1ppm/°C、第二の配線板14全体で4ppm/°Cである。

【0029】

第二の配線板14の上面には、露出させた電極上にプローブ針15がはんだ付けされており、針15の先端部はLSIの電極に対して概略垂直に接触するように屈曲されている。第二の配線板14にはLSI 9個分を同時に測定できるよう、9チップ分の針が植えられる。

【0030】

第二の配線板14の下面は、外周部が電極のグリッドアレイとなっており、各電極パッド上には長さ3mmのピンが形成されている。ピンが形成されていない第二の配線板14の内側領域には150 μ mピッチの電極を有するデカップリング

キャパシタ（薄膜キャパシタ）16が9個、はんだバンプによって搭載されている。キャパシタ16のサイズは5mm角で、容量は0.3 μ F、内部インピーダンスは20pHである。キャパシタは図3に示すように、Si基板21上に上部電極22／誘導体層23／下部電極24（白金／誘電体(BaStTiO3)/白金）を形成した構造であり、保護樹脂25でコーティングした後、電極端子26を形成している。

【0031】

以上の第二の配線板の裏面にキャパシタを搭載するプローブカードは、単一の基板からなるボードの裏面にキャパシタを搭載する従来の構造に比べて、デカップリングキャパシタとプローブピンとの間のインダクタンスを、1/5～1/10に低減することができる。この結果、LSIチップを1GHz以上で高速動作試験する場合においても、電源ノイズの発生を抑制でき、測定精度を向上させることができる。

【0032】

図4は、本発明の別の実施例のプローブカードを示す図である。第二の配線板15は図2と同じものである。第一の配線板13上にはコネクタ27がはんだ付けされており、コネクタ27を介して第二の配線板14が搭載されている。また、第一の配線板13の裏側には、ピンエレクトロニクスモジュール28が取り付けられている。ピンエレクトロニクスモジュール28は、ドライバやFPBA等のロジックLSIパッケージ、電源部品、各種受動部品等が配線板13上に搭載されたものである。配線板13の裏側にはランドグリッドアレイ電極が形成されており、接触型可動ピンのポゴピンアレイ29を介して接触によって配線板13に接続されている。モジュール28は配線板13にネジ止めされており、容易に着脱できる。

【0033】

以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0034】

【発明の効果】

本発明のプロブカードによると、検査対象の半導体チップまたはウエハの電極と接するプロブ針を有する第二の配線板とは別個の第一の配線板が存在するので、第一の配線板は材質およびサイズ上の制約が実質的に低減されまたはなくなり、プロブカード全体としての製造コストの低減が図れ、または、破損時には、破損した配線板のみを取り替えることで対応できるので、メンテナンスコストも低減できる。

また、第二の配線板のみの取り替えを可能にすれば、多品種の半導体ウエハまたはチップの検査をすることができ、プロブカードの汎用化が可能である。

さらに、試験対象となるLSIチップとプロブボード側のデカップリングキャパシタを近接して配置することができるので、チップとキャパシタの間のインダクタンスを低減でき、LSIチップの高速動作試験が可能となる。また、チップとキャパシタの間のインピーダンスを、実際のパッケージ実装状態に近い値に設定できるので、実使用状態における高速動作性能を試験することができる。さらに、多数のチップの同時測定が可能で、LSIの品種毎に作り替える部分も少なくできるので、試験コストの低減に寄与する。

【 0 0 3 5 】

(付記 1)

検査対象の半導体ウエハまたはチップの電極にプロブ針を接触させて電子回路の電気的特性をテストするプロブカードにおいて、第一の配線板と、前記第一の配線板との間に間隙部を形成するように前記第一の配線板上に搭載された第二の配線板とを含み、前記第二の配線板上にプロブ針が取り付けられており、前記第二の配線板のプロブ針取り付け面とは反対側の前記間隙部において、前記第二の配線板に少なくともデカップリングキャパシタが搭載されていることを特徴とするプロブカード。

(付記 2)

前記第二の配線板はインナービアホールを有する配線層が形成され、全体の厚さが1mm以下であることを特徴とする、付記 1 記載のプロブカード。

(付記 3)

前記デカップリングキャパシタは、支持基板としてシリコン基板を用い、前記

シリコン基板上において、上部電極および下部電極の間に挟まれた誘電体層を有する薄膜キャパシタであることを特徴とする、付記 1 または 2 記載のプロブカード。

(付記 4)

前記デカップリングキャパシタの誘電体層を構成する誘導体は、S r、B a、P b、Z r、B i、T a、T i、M g および N b からなる群より選ばれる少なくとも 1 種の元素を含む複合酸化物であることを特徴とする、付記 3 記載のプロブカード。

(付記 5)

前記デカップリングキャパシタの上部電極および下部電極は、P t、A u、C u、P b、R u、R u 酸化物、I r、I r 酸化物および C r からなる群より選ばれる少なくとも 1 種の金属もしくは金属酸化物を含むことを特徴とする、付記 3 記載のプロブカード。

(付記 6)

検査対象の半導体ウエハまたはチップの電極にプロブ針を接触させて電子回路の電気的特性をテストするプロブカードにおいて、第一の配線板と、前記第一の配線板との間に間隙部を形成するように前記第一の配線板上に搭載された第二の配線板とを含み、前記第二の配線板上にプロブ針が取り付けられており、前記第二の配線板の熱膨張率と、検査対象の半導体ウエハまたはチップの熱膨張率との差が $2 \text{ ppm}/^{\circ}\text{C}$ 以下であることを特徴とするプロブカード。

(付記 7)

前記第二の配線板の熱膨張率は $4 \pm 2 \text{ ppm}/^{\circ}\text{C}$ であることを特徴とする、付記 6 記載のプロブカード。

(付記 8)

前記第二の配線板のプロブ針取り付け面とは反対側の面にある前記間隙部に少なくともデカップリングキャパシタが搭載されていることを特徴とする、付記 6 または 7 記載のプロブカード。

(付記 9)

前記第二の配線板は貫通配線を形成したカーボンファイバ含浸樹脂板またはイ

ンバー材の表面に配線層を形成したものであることを特徴とする付記 1 ～ 8 のいずれか 1 項記載のプロブカード。

(付記 1 0)

前記第一の配線板と前記第二の配線板とがピン・グリッド・アレイによって接続されていることを特徴とする、付記 1 ～ 9 のいずれか 1 項記載のプロブカード。

(付記 1 1)

前記第一の配線板と前記第二の配線板とが着脱可能な接続手段によって接続されていることを特徴とする、付記 1 ～ 1 0 のいずれか 1 項記載のプロブカード。

(付記 1 2)

前記第一の配線板を挟んで前記第二の配線板の反対側に、着脱可能な接続手段によってピンエレクトロニクスが接続されていることを特徴とする、付記 1 ～ 1 1 のいずれか 1 記載のプロブカード。

(付記 1 3)

キャパシタ部品を内蔵し、半導体チップとキャパシタのインピーダンスが Z_p である半導体パッケージに用いる半導体チップの電気的特性をパッケージング前にプロブカードを用いてテストする方法において、前記プロブカードは付記 1 記載のプロブカードであり、かつ、プロブ針と搭載されたデカップリングキャパシタとの間のインピーダンスが概略 Z_p であることを特徴とする半導体チップの検査方法。

(付記 1 4)

前記プロブ針と搭載されたデカップリングキャパシタとの間のインピーダンスは、検査対象となる半導体チップとキャパシタとの間のインピーダンス Z_p に対して -50% 、 $+100\%$ 以内であることを特徴とする、付記 1 3 記載の半導体チップの検査方法。

(付記 1 5)

ダイシング前のウエハ状態で検査を行うことを特徴とする、付記 1 3 または 1 4 記載の半導体チップの検査方法。

【図面の簡単な説明】

【図 1】

本発明の一実施例であるプローブカードを示す図である。

【図 2】

第二の配線板の構造を示す図である。

【図 3】

デカップリングキャパシタの構造を示す図である。

【図 4】

本発明の別の実施例であるプローブカードを示す図である。

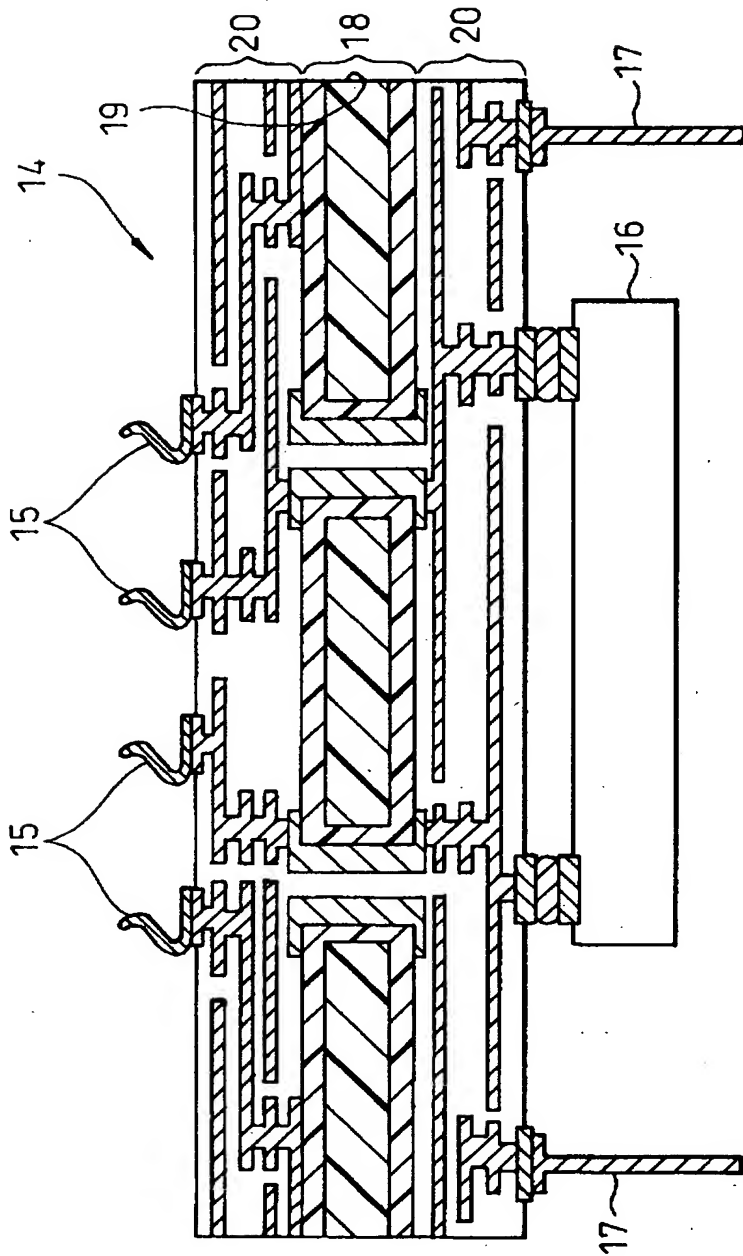
【符号の説明】

- 1 0 … プローブカード
- 1 1 … ウエハチャック
- 1 2 … 半導体チップまたはウエハ
- 1 3 … 第一の配線板
- 1 4 … 第二の配線板
- 1 5 … プローブ針
- 1 6 … デカップリングキャパシタ
- 1 7 … ピン・グリッド・アレイ端子
- 1 8 … コア層
- 1 9 … カーボンファイバ含浸エポキシ樹脂板
- 2 0 … ビルドアップ配線層
- 2 1 … Si基板
- 2 2 … 上部電極
- 2 3 … 誘導体層
- 2 4 … 下部電極
- 2 5 … 保護樹脂
- 2 6 … 電極端子
- 2 7 … コネクタ
- 2 8 … ピンエレクトロニクスモジュール

2 9 … ポゴピンアレイ

【図 2】

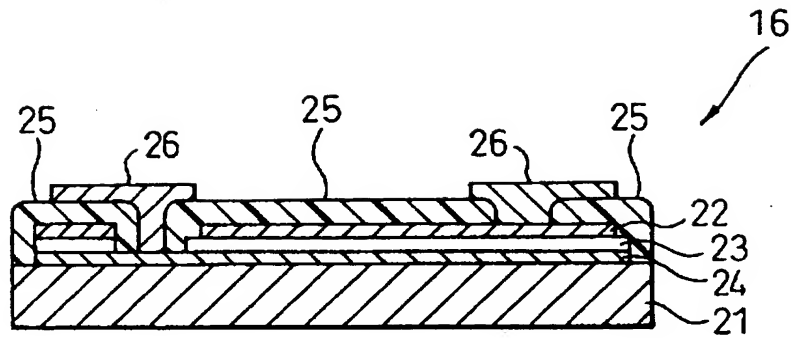
図 2



- 18...コア層
- 19...カーボンファイバ含浸エポキシ樹脂層
- 20...ビルドアップ配線層

【図 3】

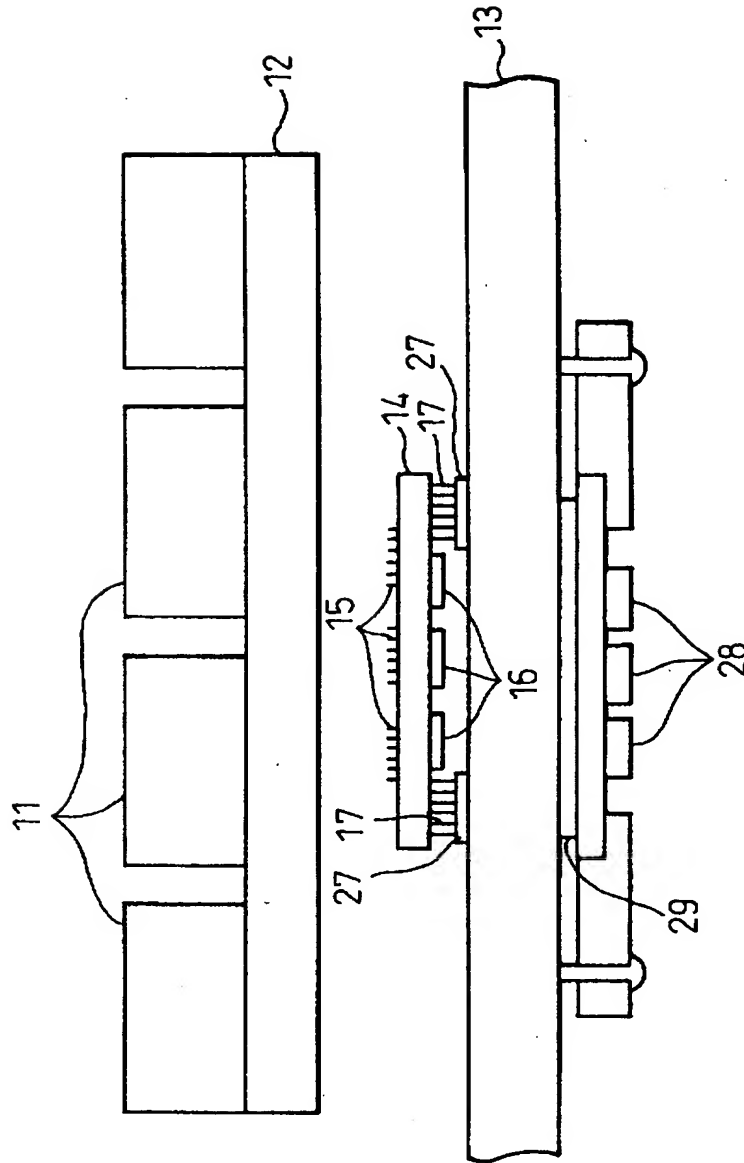
図 3



- 21… Si基板
- 22… 上部電極
- 23… 誘電体層
- 24… 下部電極
- 25… 保護樹脂
- 26… 電極端子

【図 4】

図 4



27...コネクタ
28...ピンエレクトロニクスモジュール
29...ボゴピンアレイ

【書類名】 要約書

【要約】

【課題】 プローブ針を高密度に形成することができるとともに、プローブ針の直近に高周波ノイズをカットするためのデカップリングキャパシタを配置したプローブカードを提供する。

【解決手段】 検査対象の半導体ウエハまたはチップの電極にプローブ針を接触させて電子回路の電気的特性をテストするプローブカードにおいて、第一の配線板と、前記第一の配線板との間に間隙部を形成するように前記第一の配線板上に搭載された第二の配線板とを含み、前記第二の配線板上にプローブ針が取り付けられており、前記第二の配線板のプローブ針取り付け面とは反対側の前記間隙部において、前記第二の配線板に少なくともデカップリングキャパシタが搭載されていることを特徴とするプローブカード。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日
[変更理由] 住所変更
住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社